

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-097176

(43)Date of publication of application : 00.04.1997

(51)Int.Cl.

G06F 9/22

(21)Application number : 07-253899 (71)Applicant : SANYO ELECTRIC CO LTD

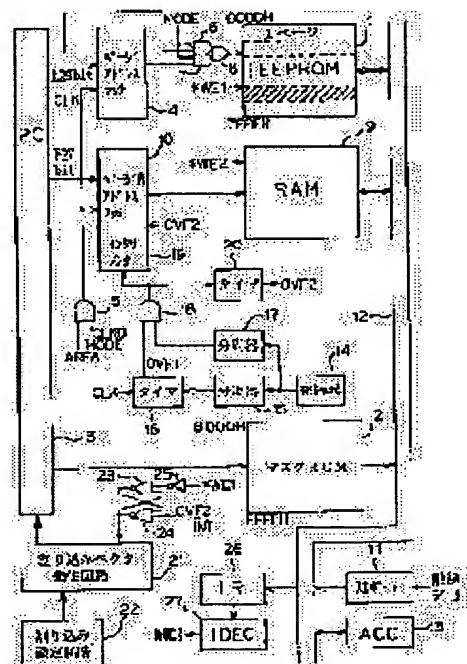
(22)Date of filing : 29.09.1995 (72)Inventor : OSAWA HIROSHI

## (54) INTERRUPT HANDLING DEVICE FOR MICROCOMPUTER

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To immediately cope with even the occurrence of an interrupt request of urgency by accessing a second nonvolatile memory by a control circuit even in the case that some interrupt request occurs during data write to a first non-volatile memory.

**SOLUTION:** An interrupt vector generation circuit 21 accepts the set output of an RS flip flop to fix the most significant bit of a program counter 3 to '1'. Consequently, address data corresponding to a prescribed interrupt request is set to the counter 3 by the vector generation circuit 21 but its most significant bit is fixed to '1' as it is when this interrupt request occurs during data write to an EEPROM (first non-volatile memory) 1. Thus, a mask ROM (second nonvolatile memory) 2 is accessed instead of the EEPROM 1, and interrupt handling is performed in parallel with data write to the EEPROM 1.



## LEGAL STATUS

[Date of request for examination] 28.09.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]	3152595
[Date of registration]	26.01.2001
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office



## 【特許請求の範囲】

【請求項1】 データの書き込み及び読み出しが可能な第1不揮発性メモリを内蔵し、該第1不揮発性メモリの所定領域に記憶されたプログラムデータに基づき、通常動作又は割り込み要求に対応する割り込み処理動作を行う1チップマイクロコンピュータにおいて、

前記第1不揮発性メモリに書き込まれた割り込み要求に基づく割り込み処理を実行する為のプログラムデータと同一又は異なるプログラムデータが記憶された第2不揮発性メモリと、

前記第1及び第2不揮発性メモリをアクセスするプログラムカウンタと、

各種割り込み要求に対応するアドレス値に前記プログラムカウンタの値を変更する割り込みベクタ発生回路と、前記第1不揮発性メモリの所定領域へのデータ書き込み中に割り込み要求が発生した時、前記割り込みベクタ発生回路を制御して、前記プログラムカウンタのアドレス値を前記第2不揮発性メモリを指定する様にする制御回路と、を備え、

前記第1不揮発性メモリのデータ書き込み動作と平行して割り込み処理を実行可能としたことを特徴とするマイクロコンピュータの割り込み処理装置。

【請求項2】 前記第1及び第2不揮発性メモリは、同一アドレス空間で連続したアドレスを割り振られていることを特徴とする請求項1記載のマイクロコンピュータの割り込み処理装置。

【請求項3】 前記第1及び第2不揮発性メモリのアドレスの一部ビットは異なることを特徴とする請求項2記載のマイクロコンピュータの割り込み処理装置。

【請求項4】 前記制御回路は、前記第1不揮発性メモリへのデータ書き込み中は該第1不揮発性メモリの為の書き込み許可信号を受けることにより前記プログラムカウンタを前記第2不揮発性メモリをアクセスできる値とする様に前記割り込みベクタ発生回路を制御し、前記第1不揮発性メモリへのデータの書き込みが終了した時は書き込み終了信号を受けることにより前記プログラムカウンタの最上位ビットを前記第1不揮発性メモリをアクセスできる値に変更する様に前記割り込みベクタ発生回路を制御することを特徴とする請求項3記載のマイクロコンピュータの割り込み処理装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、データの書き込み及び読み出しが可能なEEPROM等の不揮発性メモリの所定記憶領域を1チップマイクロコンピュータの動作制御の為のプログラムデータ記憶領域として使用する、マイクロコンピュータの割り込み処理装置に関する。

## 【0002】

【従来の技術】一般に、1チップマイクロコンピュータに内蔵される、該1チップマイクロコンピュータの動作

制御を行う為のプログラムデータを記憶するプログラムメモリとしては、読み出し専用のマスクROM、書き込み及び読み出しが可能なEPROM及びEEPROM等がある。

【0003】後者の不揮発性メモリの場合、前者のマスクROMに比べて、データの一部書き換えが可能という利点を有している。具体的には、前記不揮発性メモリの記憶領域は複数バイト単位（1ページ）毎の書き換えが可能となっている。そして、書き換えデータを蓄える為の前記複数バイトの記憶容量を有するRAMが設けられている。前記RAMへのデータ書き込み動作は、前記不揮発性メモリから読み出されたプログラムデータの解読結果に基づき行われるが、前記RAMから前記不揮発性メモリへのデータ書き込み動作時は、プログラム動作は停止しており、ロジック回路等を用いてハード的に行われる。言い換えれば、前記RAMから前記不揮発性メモリへのデータ書き込みが終了するまでは、プログラム動作は再開されない構成となっている。

## 【0004】

【発明が解決しようとする課題】よって、前記RAMから前記不揮発性メモリへのデータ書き込み時に、割り込み要求が発生した場合、上記したデータ書き込みが終了するまで、割り込み要求に基づく割り込み処理を実行できない問題があった。例えば、前記不揮発性メモリの1ページを128バイトとすると、128バイト分のデータ書き込みには約5msec程度の時間を要することになり、急を要する割り込み処理には極めて不都合であった。

【0005】そこで、本発明は、前記不揮発性メモリのデータ書き込みと平行して割り込み処理も実行できるマイクロコンピュータの割り込み処理装置を提供することを目的とする。

## 【0006】

【課題を解決するための手段】本発明は、前記問題点を解決する為に成されたものであり、その特徴とするところは、データの書き込み及び読み出しが可能な第1不揮発性メモリを内蔵し、該第1不揮発性メモリの所定領域に記憶されたプログラムデータに基づき、通常動作又は割り込み要求に対応する割り込み処理動作を行う1チップマイクロコンピュータにおいて、前記第1不揮発性メモリに書き込まれた割り込み要求に基づく割り込み処理を実行する為のプログラムデータと同一のプログラムデータが記憶された第2不揮発性メモリと、前記第1及び第2不揮発性メモリをアクセスするプログラムカウンタと、各種割り込み要求に対応するアドレス値に前記プログラムカウンタの値を変更する割り込みベクタ発生回路と、前記第1不揮発性メモリの所定領域へのデータ書き込み中に割り込み要求が発生した時、前記割り込みベクタ発生回路を制御して、前記プログラムカウンタのアドレス値を前記第2不揮発性メモリを指定する様にする制

3

御回路と、を備え、前記第1不揮発性メモリのデータ書き込み動作と平行して割り込み処理を実行可能とした点である。

【0007】

【発明の実施の形態】本発明の詳細を図面に従って具体的に説明する。図1は本発明のマイクロコンピュータ割り込み処理装置を示す図であり、1チップマイクロコンピュータの内部構成を示している。図1において、

(1)はEEPROM(第1不揮発性メモリ)であり、1チップマイクロコンピュータの動作制御を行う為のプログラムデータ及びその他の各種データが書き込まれたものである。該EEPROM(1)は「0000H」から「7FFFH」までのアドレスを有するものとする。但し、Hはヘキサデシマルである。また、該EEPROM(1)内部に示した破線の区切りが1ページ(例えば128バイト)を表すものとする。該EEPROM(1)は1ページ毎のデータ書き換えが可能である。

【0008】(2)はマスクROM(第2不揮発性メモリ)であり、「8000H」から「FFFFH」のアドレスを有している。即ち、EEPROM(1)及びマスクROM(2)のアドレスは、同一アドレス空間で連続するアドレスとしている。別の見方をすると、EEPROM(1)及びマスクROM(2)のアドレスは、各々、最上位ビットが「0」「1」と異なる。そして、該マスクROM(2)には、EEPROM(1)に既に書き込まれている割り込み処理の為のプログラムデータと同一のプログラムデータが書き込まれる。尚、EEPROM(1)及びマスクROM(2)に対する割り込み処理の為のプログラムデータの書き込みアドレスは、最上位ビットを除く同一アドレスに書き込まれる。割り込み要求の種類には、タイマ割り込み、外部割り込み等があるが、例えばタイマ割り込み要求の為のプログラムデータがEEPROM(1)の「001BH」に書き込まれているとすると、このプログラムデータはマスクROM(2)の「801BH」に書き込まれ、最上位ビットが異なるのみとなる。

【0009】(3)はプログラムカウンタPCであり、EEPROM(1)及びマスクROM(2)の何れか一方のアドレスをアクセスするものである。(4)はページアドレスラッチであり、EEPROM(1)のデータ書き換えを行う時にページ指定を行うものであり、クロックCLKに同期して、プログラムカウンタ(3)から出力されるページ指定に必要なアドレスデータの上位9ビットをラッチするものである。ここで、クロックCLKをページアドレスラッチ(4)に印加する為にANDゲート(5)が設けられている。該ANDゲート(5)には、EEPROM(1)をデータ書き込みモードとする時に「1」となる信号MODE、RAM(2)への書き込みを指定する時に「1」となる信号AREA、及びクロックCLK0が印加される。従って、信号MODE

4

及びAREAが共に「1」となっている時にANDゲート(5)からクロックCLK0と等しいクロックCLKが出力されページアドレスラッチ(4)に印加される。

【0010】ANDゲート(6)(7)及びORゲート(8)はマルチプレクサを構成し、EEPROM(1)の全アドレス数に合わせて16個設けられている。16個のANDゲート(6)の一方の入力には、プログラムカウンタ(3)から出力される16ビットのアドレスデータが各々印加される。また、上位9個のANDゲート(7)の一方の入力には、ページアドレスラッチ(4)にラッチされたアドレスデータの上位9ビットが印加される。更に、16個のANDゲート(6)の他方の入力には信号MODEが反転印加されると共に16個のANDゲート(7)の他方の入力には信号MODEがそのまま印加される。即ち、EEPROM(1)のデータ書き換えを行う場合は、信号MODEが「1」となっている為、ページアドレスラッチ(4)のアドレス値がEEPROM(1)に印加され、該EEPROM(1)のページ指定が行われる。一方、EEPROM(1)を通常のデータ読み出し状態として使用する場合は、信号MODEが「0」の為、EEPROM(1)はプログラムカウンタ(3)の値によって直接アクセスされる。尚、EEPROM(1)にデータ書き込みを行う期間は、ライトイネーブル信号\*WE1が「0」となっている。

【0011】(9)はRAMであり、EEPROM(1)の1ページ(128バイト)分の記憶容量を有する。該RAM(9)は、EEPROM(1)に書き込むべき128バイト分のデータを記憶するものである。

(10)はページ内アドレスラッチであり、RAM(9)の128バイトをアクセスする為に、前記クロックCLKに同期して、プログラムカウンタ(3)から出力されるアドレスデータの低位7ビットをラッチするものである。該ページ内アドレスラッチ(10)のラッチ動作はページアドレスラッチ(4)のラッチ動作と同時に進行される。RAM(9)は、ページ内アドレスラッチ(10)の値でアクセスされ、128バイト分のデータの書き込みを行う。この書き込み期間中はライトイネーブル信号\*WE2は「0」となる。RAM(9)に記憶される書き込みデータは、1バイト分ずつ入力ポート(11)に印加され、その後、内部バス(12)を介してアキュムレータACC(13)に一旦蓄えられた後、再び内部バス(12)を介してRAM(9)の指定アドレスに書き込まれる。この動作を128回繰り返す。

【0012】(14)は所定周波数の発振クロックを発生する発振器である。(15)は前記発振クロックを所定分周する分周器である。(16)はタイマであり、分周器(15)の分周クロックで計数を行い、ANDゲート(5)から出力されるクロックCLKでリセットされるものである。該タイマ(16)にクロックCLKが印加される状態とは、RAM(2)が書き込み状態となつ

5

ていることを意味しており、RAM (9) へのデータ書き込み中は定期的にクロックCLKがタイマ (16) に印加される為、該タイマ (16) からはオーバーフロー信号OVF1は発生しない。ところが、RAM (2) へのデータ書き込みが終了すると、信号AREAが「0」となり、クロックCLKは発生しなくなる。すると、タイマ (16) は所定値までを計数してしまい、該タイマ (16) からはオーバーフロー信号OVF1 (=「1」) が発生する。(17) は前記発振クロックを所定分周する分周器である。ANDゲート (18) には、オーバーフロー信号OVF1と分周器 (17) の分周クロックとが印加される。即ち、ANDゲート (18) からは、RAM (2) への1ページ分のデータ書き込みが終了した後に、分周器 (17) の分周クロックが出力される。尚、ページ内アドレスラッチ (10) は、オーバーフロー信号OVF1を受けることによりリセットされる。

【0013】RAM (2) への1ページ分のデータ書き込みが終了すると、クロックCLKが途絶え、プログラムカウンタ (3) とEEPROM (1) 及びRAM (2) とはアクセスが遮断されてしまう。そこで、インクリメンタ (19) が必要となる。該インクリメンタ (19) は、ANDゲート (18) から出力される分周クロックを受けてページ内アドレスラッチ (10) のインクリメントをハード的に行う。例えば、EEPROM (1) の斜線部分の1ページが最終的にページアドレスラッチ (4) により指定されているとすると、RAM (9) に書き込まれている128バイト分のデータは、インクリメンタ (19) にてインクリメントされるページ内アドレスラッチ (10) の値で順次アクセスされて1バイト分ずつ読み出され、内部バス (12) を介してEEPROM (1) の斜線部分の1ページに書き込まれる。

【0014】よって、RAM (2) からEEPROM (1) へのデータ書き込み中は、EEPROM (1) をプログラムカウンタ (3) でアクセスできない為、従来では、この最中に所定の割り込み要求が発生しても、割り込み処理を実行できなかった訳である。本発明では、この問題を解決できる。(20) はタイマであり、ANDゲート (18) から出力される分周クロックを計数する。RAM (2) はこの分周クロックに同期してデータの読み出しを行う為、この分周クロックを128回計数すれば、RAM (2) からの128バイト分のデータ読み出し即ちEEPROM (1) へのデータ書き込みを検出できる。タイマ (20) は、ANDゲート (18) 出力を128回計数することによりオーバーフロー信号OVF2を発生する。

【0015】(21) は割り込みベクタ発生回路であり、各種割り込み要求に対応するアドレスデータをプログラムカウンタ (3) にセットするものである。(2

6

2) は割り込み設定回路であり、多重割り込みが発生した場合に何れの割り込み要求を優先させるか、また、割り込み要求の受付をイネーブル又はディセーブルとするか等の設定をして、割り込みベクタ発生回路 (21) を制御するものである。

【0016】NORゲート (23) (24) はRSフリップフロップを構成する請求項で言う制御回路であり、NORゲート (23) の一方の入力にはインバータ (25) を介してライトイネーブル信号\*WE1が印加され、NORゲート (24) にはオーバーフロー信号OVF2 (=「1」) と前記1チップマイクロコンピュータのリセット時に発生するイニシャルクリア信号INT (=「1」) とが印加される。従って、EEPROM (1) へのデータ書き込みが行われている期間中は、ライトイネーブル信号\*WE1が「0」、且つオーバーフロー信号OVF2及びイニシャルクリア信号INTが「0」の為、前記RSフリップフロップがセットされてNORゲート (24) から「1」が出力される。割り込みベクタ発生回路 (21) は、前記RSフリップフロップのセット出力を受けることにより、プログラムカウンタ (3) の最上位ビットを「1」に固定する。よって、EEPROM (1) へのデータ書き込み中に所定の割り込み要求が発生すると、割り込みベクタ発生回路 (21) によりその割り込み要求に対応するアドレスデータがプログラムカウンタ (3) にセットされるがその最上位ビットは「1」のまま固定である。よって、EEPROM (1) に代わってマスクROM (2) がアクセスされ、EEPROM (1) へのデータ書き込み動作と平行して割り込み処理が実行されることになる。

【0017】一方、前記1チップマイクロコンピュータがリセットされた時点では、イニシャルクリア信号INTのみが「1」となる為、前記RSフリップフロップはリセットされ、NORゲート (24) の出力は「0」となる。すると、割り込みベクタ発生回路 (21) からプログラムカウンタ (3) にセットされるアドレスデータの最上位ビットは「0」になる。即ち、プログラムカウンタ (3) はEEPROM (1) をアクセスする形となる。オーバーフロー信号OVF2が発生した時も同様である。よって、EEPROM (1) にデータを書き込まない時は、割り込み要求が発生すると、EEPROM (1) に書き込まれた割り込み要求の為のプログラムデータの記憶されたアドレスがプログラムカウンタ (3) によってアクセスされ、このプログラムデータの解読結果に基づき、割り込み処理が実行される。

【0018】(26) は、EEPROM (1) 及びマスクROM (2) から読み出されたプログラムデータを内部バス (12) を介して保持するインストラクションレジスタIRである。また、(27) は、インストラクションレジスタIR (26) にセットされたプログラムデータを解読し、前記1チップマイクロコンピュータを動

ムカウンタ (3) に対して行える様にすればよい。

【 0 0 2 1 】

10

20

【符号の説明】

- (1) EEPROM
- (2) マスクROM
- (3) プログラムカウンタ
- (21) 割り込みベクタ発生回路
- (23) (24) NORゲート

[illegible]